

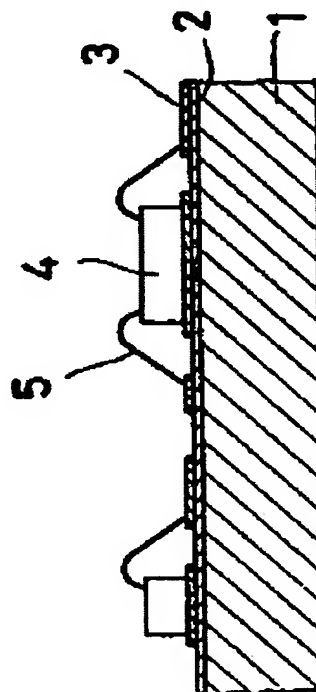
## BASE BOARD FOR MOUNTING OF SEMICONDUCTOR ELEMENT

特許公報番号 JP60128625  
公報発行日 1985-07-09  
発明者: OGASA NOBUO; DOI AKIRA; OOTSUKA AKIRA; FUJIMORI  
NAOHARU; YOSHIOKA TAKESHI  
出願人 SUMITOMO ELECTRIC INDUSTRIES  
分類:  
一国際: H01L21/52; H01L21/58; H05K1/05; H01L21/02; H05K1/05;  
(IPC1-7): H01L23/36  
一欧州: H01L21/58  
出願番号 JP19830237603 19831215  
優先権主張番号: JP19830237603 19831215

ここにデータエラーを報告してください

## 要約 JP60128625

**PURPOSE:** To obtain the circuit board of excellent heat conductivity on which a high frequency semiconductor element can be mounted by a method wherein a diamond, an artificial diamond-like carbon film or the mixture substance of these materials is coated on a metal base board as an electric insulating layer. **CONSTITUTION:** A metal base board 1 has the thermal expansion coefficient of  $4.5-9.0 \times 10^{-6} \text{ cm/cm deg. C}$ , and said thermal expansion coefficient is made approximate to the thermal expansion coefficient of the crystal of a semiconductor element 4 using the specific material such as Cu, W, Mo and the like which has excellent heat conductivity, thereby enabling to reduce the effect of stress generating from the unmatching of thermal expansion. Also, the degree of thermal conductivity of the metal base board 1 is enhanced as much as possible, and the dissipating property of the heat generated on the semiconductor element 4 is increased. Then, an electric insulating film layer 2 is formed on the thickness of 5-20 $\mu\text{m}$  using the mixed substance of diamond and the like having the dielectric constant of 2.5-8. Subsequently, a circuit pattern 3 is formed using one of Al, Ni, Ag, Au and AgPd alloy, or it is formed by combining said material.



esp@cenet データベースから供給されたデータ - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-128625

⑬ Int. Cl.<sup>4</sup>

H 01 L 21/58  
23/36

識別記号

庁内整理番号

6679-5F  
6616-5F

⑭ 公開 昭和60年(1985)7月9日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体素子搭載用基板

⑯ 特 願 昭58-237603

⑰ 出 願 昭58(1983)12月15日

⑱ 発 明 者 小 笠 伸 夫 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

⑲ 発 明 者 土 居 陽 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

⑳ 発 明 者 大 塚 昭 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

㉑ 発 明 者 藤 森 直 治 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

㉒ 出 願 人 住友電気工業株式会社 大阪市東区北浜5丁目15番地

㉓ 代 理 人 弁理士 鎌 田 文二

最終頁に続く

明 細 書

1. 発明の名称

半導体素子搭載用基板

2. 特許請求の範囲

(1) 金属基板に電気絶縁層を介して半導体素子を搭載するようにした半導体素子搭載用基板において、上記電気絶縁層をダイヤモンド、疑似ダイヤモンド状カーボン膜またはこれらの混合物質で形成したことを特徴とする半導体素子搭載用基板。

(2) 金属基板の熱膨張係数が  $4.5 \sim 9.0 \times 10^{-6}$   $^{\circ}\text{C}^{-1}$  であることを特徴とする特許請求の範囲第1項に記載の半導体素子搭載用基板。

(3) 金属基板が、次のa～c群から選択されたいずれか一つの材料から成ることを特徴とする特許請求の範囲第1項に記載の半導体素子搭載用基板。

a. CuW合金, CuMo合金, CuWMo合金

b. W, Mo, コパール, 42アロイ

c. W, Mo, コパールもしくは42アロイと、

Cu, AlもしくはNiとの複合金属。

(4) 電気絶縁層を気相蒸着法により  $0.5 \mu\text{m}$  以上  $20 \mu\text{m}$  以下の厚さに被覆し、その誘電率を2.5以上8以下としたことを特徴とする特許請求の範囲第1項に記載の半導体素子搭載用基板。

(5) 搭載する半導体素子がSiまたはGaAsであることを特徴とする特許請求の範囲第1項に記載の半導体素子搭載用基板。

3. 発明の詳細な説明

(1) 産業上の利用分野

この発明はハイブリッドIC用基板やIC用マザーボードなど、半導体素子を搭載する回路基板に関するものであり、特に半導体素子に発生する熱を効率よく放熱し得ると共に、基板材料の熱膨張係数を半導体素子のそれと近似させることを可能にし、かつ高周波領域で使用可能な半導体素子の搭載を可能とする半導体素子搭載用の基板に関するものである。

(2) 従来技術とその問題点

エレクトロニクス産業のめざましい発展に伴い半導体素子の大型化や素子で発生する熱に対する対

策が大きな問題となり、これらの二つの要求を両立せしめる半導体素子搭載用基板の開発が行なわれている。

こうした中で、従来広く用いられていたアルミナ基板にかわり、Al 基板の表面をアルマイト化したもの、ホーロー塗付 Fe 板、アルミナ基板と Cu, Mo 等の高熱伝導性金属を複合化した材料等が考案されてきた。

上記の材料のうち、アルマイト基板は、耐熱性が不十分なことやベースメタルである Al の熱膨張係数が大きく、大型素子の搭載や回路そのものの大型化が困難である。

また、ホーロー塗付 Fe 板は、放熱性、熱膨張特性の両面の中途半端であるばかりでなく、絶縁層としてのホーロー層が数 10  $\mu\text{m}$  の厚さとならざるを得ないことから、熱抵抗が大きくなる等の欠点を有している。

また、アルミナと金属との複合基板は、本質的に熱伝導度の小さいアルミナの厚みを 0.1  $\mu\text{m}$  以下にすることは困難であり、十分満足できる基板

は得られなかった。

一方、このような欠点を克服するセラミック基板として BeO や BeO 含有 SiC が実用化または開発されているが、いずれも有毒な BeO を用いることから、今後工業的利用には大きな制約を受けざるを得ず、コスト的にも高価となる。またセラミック基板そのものの反りをはじめとする方法精度の高精度化が困難であり、今後ますます増大するであろうと思われる大型基板の製造は極めて困難である。

以上のごとき欠点を克服する方法として W, Mo, CuW 合金, CuMo 合金, その他 Cu と Mo または FeNi 系合金等との複合金属板などの高熱伝導性、或いは低熱膨張金属の表面に  $\text{Al}_2\text{O}_3$  等のセラミックやガラス成分の材料を薄層被覆した材料が考案され有効に用いられている。

しかしながら、このような材料も、半導体素子の高周波化に伴い薄層セラミック層が、ベースメタルとセラミック層上に形成した導体回路との間でコンデンサ化し、その電気特性に悪影響を及ぼ

す欠点が生じてくるようになった。これは、用いる薄膜セラミック層の誘電率が大きいためであり、代表的なセラミックである  $\text{Al}_2\text{O}_3$  では 1 MHz で 8.5 ~ 10.0 もあり、熱抵抗を無視できる範囲である 10  $\mu\text{m}$  以下では、薄膜セラミック層上の導体回路に電位差が生じると、このセラミック層を介してコンデンサの働きを呈し、高周波信号の伝播に際し電流波形を乱し、回路基板としての役割を果たし得ないこととなる。この欠点を解消するには被覆セラミック層の厚さを、20 ~ 30  $\mu\text{m}$  に形成することが必要となる。

しかしながら、セラミック層を 20 ~ 30  $\mu\text{m}$  設けることは、コスト的に極めて高くなるのみならず、熱抵抗が無視できなくなり、高熱放散性回路基板としての特色を失なうこととなる。

発明は、このような問題点を解決し、高周波半導体素子の搭載が可能で、かつ熱伝導性良好な回路基板を提供することを目的とするものである。

#### イ 問題点を解決するための手段

この発明は、上記の目的を達成するために、金

属基板に電気絶縁層としてダイヤモンド、疑似ダイヤモンド状カーボン膜またはこれらの混合物質を被覆した構成としたものである。

以下、添付図面を参照してこの発明の内容を具体的に説明する。

図は、この発明の回路基板を用いた半導体装置であり、1 は金属基板、2 はその表面に被覆された電気絶縁被覆層、3 は導電回路パターン、4 は半導体素子、5 はボンディングワイヤである。

上記の金属基板 1 は、熱膨張係数が  $4.5 \sim 9.0 \times 10^{-6} \text{ } ^\circ\text{C}/^\circ\text{C}$  であり、かつ熱伝導性良好な材料である次の a ~ c 群から選択された一つの金属材料または複合金属材料により形成される。

a. CuW 合金, CuMo 合金, CuWMo 合金

b. W, Mo, コパール, 42 アロイ

c. W, Mo, コパールもしくは 42 アロイと、Cu, Al もしくは Ni との複合金属

金属基板 1 を形成する材料の熱膨張係数を上記のように選定したのは、搭載半導体素子 4 の結晶の熱膨張係数 ( $\text{Si}: 40 \times 10^{-6} \text{ } ^\circ\text{C}/^\circ\text{C}$ ,  $\text{GaAs}: 6.7 \times 10^{-6} \text{ } ^\circ\text{C}/^\circ\text{C}$ )

て)と近似させ、熱膨張の不整合に起因する応力の影響を小さくするためである。

また、a～c群の材料を選定したのは、これらの材料が上述の熱膨張特性を有すると共に、金属基板1の熱伝導度を可能な限り大きくし、半導体素子4に生じる熱の放散性をよくするためである。

次に、上記の電気絶縁被覆層2は、誘電率が2.5以上8以下のダイヤモンド、疑似ダイヤモンド状カーボンまたはこれらの混合物質を0.5～20 $\mu$ mの薄膜に形成したものであり、気相蒸着法により金属基板1に被覆される。

気相蒸着法としては、PVD法またはCVD法が好ましい。これら2つの方法は、それぞれ長所および短所を有するが、基本的にはメタン等の炭化水素系ガスを熱、磁界または高周波もしくは直流電界等により効果的に分解せしめ、それを基板上に堆積せしめる方法を採用しており、その蒸着温度または磁界もしくは電界の出力等の蒸着条件をコントロールすることにより、被覆層2の組成をダイヤモンドから疑似ダイヤモンド状カーボンまた

はこれらの混合物(擬ダイヤモンド状カーボン膜中に微細なダイヤモンド粒子が分散している形態)まで、自由に蒸着することができる。

また、上記被覆層2の誘電率を2.5以上8以下に選定したのは次の理由による。

周知のとおり、被覆層の誘電率は被覆物質の組成によつて決定される。この発明における被覆層2の組成は、前述のように蒸着条件を変化させることにより、その組成をコントロールできることから、発明者らは該被覆層2の誘電率を必要に応じてコントロールすることを考えていた。この点について、発明者らは詳細な実験を行なった結果、焼くべきことに、該被覆層2の誘電率を2.5～8までコントロールしうることが判明した。天然ダイヤモンドの誘電率は5.5であり、気相蒸着法により合成した被覆層がこのような幅広い数値を有する理由は不明である。

また、上記被覆層2の厚さを0.5以上20 $\mu$ m以下としたのは次の理由による。すなわち、どのような組成の膜を用いても0.5 $\mu$ m以下ではコン

デンサとしての容量が大きくなってこの発明の効果を害する。また20 $\mu$ m以上になると、形成に時間を要するので経済的でないのみならず、ダイヤモンドまたは疑似ダイヤモンド状カーボン膜の特質として内部応力により剥離が発生する等の問題があるからである。

次に、回路パターン3は材質的には、Cu、Al、Ni、Ag、Au、AgPd合金のうちのいずれか、またはこれらの組合せから成り、またその形成方法は薄膜法、厚膜法、転写法等いずれかの方法を用いることができる。これらの材質、形成方法は用途、コスト等に応じて適宜選定される。

#### (4) 実施例1

金属基板として、熱膨張係数を $6.5 \times 10^{-6}$  cm/cm $^{\circ}$ Cとするために、15wt%Cuを含有した厚さ1.0mm、100mm四方のCuW合金板を、粉末焼結法で製造したのち、ダイヤモンド膜を表面に形成するためのプラズマ分解蒸着法を次の方法で実施した。

すなわち、真空容器内に該基板を設置し、赤外

線加熱で450 $^{\circ}$ Cに加熱し、CH<sub>4</sub>ガスを35cc/minで容器内に供給しつつ総ガス圧を $5 \times 10^{-4}$  torrになるよう調整した。これに、13.56MHzの高周波を用いて容器内に設置した5ターンのコイルでプラズマを発生せしめ、5hrの蒸着を行なった。

蒸着後、この基板について反射電子線回折を行なったところ、蒸着膜はアモルファスとクリスタルの両部分より成ることが判明した。

次いで、上記膜の誘電率を測定した結果、4.8であることが判明した。さらに高周波領域での動作性能を調査するため、基板上に所要の回路パターンに基づき製作したメタルマスクを用い、厚さ3 $\mu$ mのCu回路パターンを、RFイオンプレーティングにより形成したのち、ワイヤーボンディングおよびダイボンディングの必要な部分にAuを1 $\mu$ m被覆形成した。

上記の回路基板上に4個のGaAsFETの素子を、AuSn合金によりダイボンディングしたのち、Au線によるワイヤーボンディングを行なうと共に、チップコンデンサを搭載した。

このようにして製作したマルチチップD.E.T.は、10 CHz以上の高周波領域で動作させることができ、その発熱量を合計20 Wとなるように制御して駆動することができた。

#### 例 実施例 2

Si 半導体素子を搭載するためのダイヤモンド薄膜を被覆した半導体素子搭載用基板をプラズマCVD法で以下のように製作した。

金属基板として熱膨張係数をGaAsに近似させるために、15 wt% Cu を含有させたCuW合金（熱膨張係数  $6.5 \times 10^{-6} \text{ cm/cm}^\circ\text{C}$ ）を用いた。被覆層を形成するためのプラズマCVDに次の方法で実施した。

すなわち、真空容器内に設置した上記基板を800℃に加熱しながら、 $\text{CH}_4:\text{H}_2=1:50$ の混合ガスを導入し、総圧を5 tonに調整した。この真空容器に外部から7ターンのコイルを巻き、13.56 MHzの高周波によりプラズマを発生させた。なお、上記容器内にはプラズマ中のイオンを加速する目的で平行板を設け、1.2 Kvの直流電圧を基板

の乗る平板が陰極となるように付加した。

この条件下で4.0 hrの蒸着を行なった結果基板上には1.2  $\mu\text{m}$ のダイヤモンド膜が均一に生成されていることがSEM観察およびラマン分光分析により判明した。

その後、スクリーン印刷によりオーバークレーズ膜とした結晶化ガラス（デュボン製9429）を25  $\mu\text{m}$ の厚さに印刷し、150℃で乾燥後、窒素ガス雰囲気中で850℃にて焼成した。

さらに、同じくスクリーン印刷により回路を導体ペースト（Ag-Pd系、デュボン製6120）を用いて印刷し、150℃にて乾燥後850℃にて焼成した。

また、ワイヤボンディングおよびダイボンディングの必要な部分にスクリーン印刷によりAu系導体ペースト（デュボン製4019）を印刷し、150℃にて乾燥後850℃にて焼成した。

ダイボンディングをAuSi合金により410℃にて行なったのち、Au線によるワイヤボンディングを行なった。半導体素子としてはチップサイ

ズが2 mm四方、5 mm四方、10 mm四方のLSIを搭載し、同じく半導体素子としてパワートランジスタ（チップサイズ5 mm四方）を同様に10個搭載した。

上記のように、この発明の基板に搭載したトランジスタはその発熱量を1個当たり約15 Wとなるように制御して駆動することができた。また大型のシリコンLSIを支障なくこの基板上に搭載することができた。

#### (c) 効果

以上のように、この発明は、金属基板に被覆する電気絶縁被覆層をダイヤモンド、疑似ダイヤモンド状カーボン膜またはこれらの混合物質により形成したものであるから、被覆層を充分薄く形成してもその誘電率を2.5～8の範囲にコントロールすることができる。したがって、熱抵抗が低く、かつ高周波信号に対する影響の少ない半導体素子搭載基板を得ることができる。

#### 4. 図面の簡単な説明

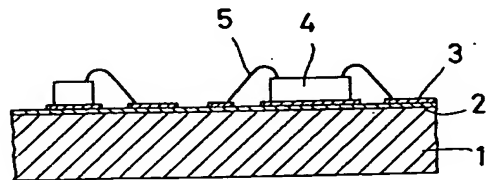
図面はこの発明の基板を使用した半導体装置の

拡大断面図である。

1…金属基板、2…電気絶縁被覆層、3…回路パターン、4…半導体素子、5…ボンディングワイヤ。

特許出願人 住友電気工業株式会社

向 代理人 鎌 田 文 二



第1頁の続き

②発明者 吉岡

剛 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内